

#2 | Priority
Paper
10-20-99
R. Stokes

520.37546x00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JCS94 U.S. PRO
09/391250
09/07/99

Applicant(s): K. TORII, et al
Serial No.:
Filed: September 7, 1999
Title: SEMICONDUCTOR DEVICE AND ITS FABRICATION
METHOD

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

September 7, 1999

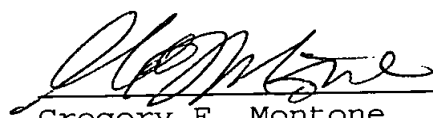
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the
applicant(s) hereby claim(s) the right of priority based on
Japanese Patent Application No.(s) 10-256287 filed September 10,
1998.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

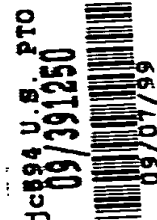


Gregory E. Montone
Registration No. 28,141

GEM/nac
Attachment

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 9 月 1 0 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 2 5 6 2 8 7 号

出 願 人

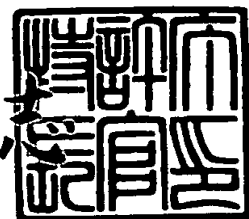
Applicant (s):

株式会社日立製作所

1 9 9 9 年 8 月 9 日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 夫



出 証 番 号 出 証 特 平 1 1 - 3 0 5 5 9 3 1

【書類名】 特許願

【整理番号】 H98016771A

【提出日】 平成10年 9月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 28

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

【氏名】 鳥居 和功

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

【氏名】 三木 浩史

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

【氏名】 藤崎 芳久

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

特平 10-256287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

トランジスタが設けられた基板上に形成された、開口部を有する絶縁膜と、
前記開口部内に形成された導電膜と、

前記導電膜上に形成された、第 1 の電極、高強誘電体膜、第 2 の電極からなる
キャパシタを有する半導体装置において、

前記高強誘電体膜は、鉛、バリウム、ビスマスから選ばれた少なくとも一つの
元素を含有し、かつ前記第 1 の電極上から前記絶縁膜上に形成され、

前記層間絶縁膜と前記高強誘電体膜との間には反応防止膜が設けられ、

前記導電膜と前記第 1 の電極との間には拡散防止膜が設けられ、前記拡散防止
膜の側面は前記高強誘電体膜と接しておらず、

前記第 1 の電極の側面が前記高強誘電体膜と接して設けられていることを特徴
とする半導体装置。

【請求項 2】

前記高強誘電体膜は、チタン酸ジルコン酸鉛、チタン酸鉛、チタン酸ジルコニ
ウム酸バリウム鉛、ニオブ酸バリウム鉛、タンタル酸ストロンチウムビスマス、
チタン酸ビスマス、チタン酸ジルコニウム酸バリウムストロンチウムの何れかで
あることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

当該反応防止層が酸化チタン、アルミナ、または、ビスマスシリケートの何れ
かであることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記拡散防止膜は、 Ti 、 Ta 、 TiN 、 $Al_xTi_{1-x}N$ 、 WN の何れか、ま
たはこれらを積層した膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

請求項 1 乃至 4 何れかに記載の半導体装置を基本単位とするダイナミックラン
ダムアクセスメモリ。

【請求項 6】

請求項 1 乃至 4 何れかに記載の半導体装置を基本単位とする不揮発性メモリ。

【請求項 7】

トランジスタが形成された基板と、

前記基板上に形成された、開口部を有する絶縁膜と、

前記開口部内に形成された導電膜と、

前記導電膜上に形成された、第 1 の電極、高強誘電体膜、第 2 の電極からなるキャパシタを有する半導体装置において、

前記高強誘電体膜は、鉛、バリウム、ビスマスから選ばれた少なくとも一つの元素を含有し、かつ前記第 1 の電極の上面、側面、前記絶縁膜上に形成され、

前記層間絶縁膜と前記高強誘電体膜との間には反応防止膜が設けられ、

前記導電膜と前記第 1 の電極との間で、かつ前記反応防止膜の開口部内に拡散防止膜が設けられていることを特徴とする半導体装置。

【請求項 8】

前記拡散防止膜の側面と前記高強誘電体膜は接していないことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

前記高強誘電体膜は、チタン酸ジルコン酸鉛、チタン酸鉛、チタン酸ジルコニウム酸バリウム鉛、ニオブ酸バリウム鉛、タンタル酸ストロンチウムビスマス、チタン酸ビスマス、チタン酸ジルコニウム酸バリウムストロンチウムの何れかであることを特徴とする請求項 7 記載の半導体装置。

【請求項 10】

当該反応防止層が酸化チタン、アルミナ、または、ビスマスシリケートの何れかであることを特徴とする請求項 7 記載の半導体装置。

【請求項 11】

前記拡散防止膜は、 Ti 、 Ta 、 TiN 、 $Al_xTi_{1-x}N$ 、 WN の何れか、またはこれらを積層した膜であることを特徴とする請求項 7 記載の半導体装置。

【請求項 12】

請求項 7 乃至 11 何れかに記載の半導体装置を基本単位とするダイナミックラ

ンダムアクセスメモリ。

【請求項 13】

請求項 7 乃至 11 何れかに記載の半導体装置を基本単位とする不揮発性メモリ。

【請求項 14】

トランジスタを有する基板と、
前記基板上に形成された、開口部を有する絶縁膜と、
前記開口部内に設けられ、前記トランジスタと接続される拡散防止膜と、
前記絶縁膜上に設けられた反応防止膜と、
前記拡散防止膜と電氣的に導通する第 1 の電極と、
前記第 1 の電極上に設けられ、鉛、バリウム、ビスマスのうち少なくとも一つの元素を含有する高強誘電体膜と、
前記高強誘電体膜上に設けられた第 2 の電極とを有することを特徴とする半導体装置。

【請求項 15】

前記高強誘電体膜は、前記第 1 の電極の上面及び側面にかけて形成されていることを特徴とする請求項 14 記載の半導体装置。

【請求項 16】

前記高強誘電体膜は、チタン酸ジルコン酸鉛、チタン酸鉛、チタン酸ジルコニウム酸バリウム鉛、ニオブ酸バリウム鉛、タンタル酸ストロンチウムビスマス、チタン酸ビスマス、チタン酸ジルコニウム酸バリウムストロンチウムの何れかであることを特徴とする請求項 14 記載の半導体装置。

【請求項 17】

当該反応防止層が酸化チタン、アルミナ、または、ビスマスシリケートの何れかであることを特徴とする請求項 14 記載の半導体装置。

【請求項 18】

前記拡散防止膜は、 Ti 、 Ta 、 TiN 、 $Al_xTi_{1-x}N$ 、 WN の何れか、またはこれらを積層した膜であることを特徴とする請求項 14 記載の半導体装置。

【請求項 19】

請求項 14 乃至 18 何れかに記載の半導体装置を基本単位とするダイナミックランダムアクセスメモリ。

【請求項 20】

請求項 14 乃至 18 何れかに記載の半導体装置を基本単位とする不揮発性メモリ。

【請求項 21】

トランジスタを有する基板上に、開口部を有する絶縁膜を形成する工程と、
前記開口部に導電膜を充填する工程と、
前記絶縁膜上に反応防止として機能する反応防止膜を形成する工程と、
前記導電膜上に拡散防止膜を形成する工程と、
前記拡散防止膜上に第 1 の電極を形成する工程と、
前記反応防止膜を形成する工程の後、前記第 1 の電極上に鉛、バリウム、ビスマスの少なくとも一つの元素を含有する高強誘電体膜を形成する工程と、
前記高強誘電体膜上に、第 2 の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 22】

前記拡散防止膜は、前記反応防止膜を前記絶縁膜及び前記導電膜上にかけて形成し、前記導電膜上の前記反応防止膜を除去し、前記除去した領域に前記拡散防止膜を埋め込んで形成することを特徴とする請求項 21 記載の半導体装置の製造方法。

【請求項 23】

トランジスタを有する基板上に、開口部を有する絶縁膜を形成する工程と、
前記開口部に導電膜を充填する工程と、
前記絶縁膜上に反応防止として機能する反応防止膜を形成する工程と、
前記反応防止膜を形成する工程の後、前記導電膜上に拡散防止膜を形成する工程と、
前記拡散防止膜上に第 1 の電極を形成する工程と、
前記第 1 の電極上に鉛、バリウム、ビスマスの少なくとも一つの元素を含有す

る高強誘電体膜を形成する工程と、

前記高強誘電体膜上に、第2の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項24】

前記拡散防止膜は、前記反応防止膜を前記絶縁膜及び前記導電膜上にかけて形成し、前記導電膜上の前記反応防止膜を除去し、前記除去した領域に前記拡散防止膜を埋め込んで形成することを特徴とする請求項22記載の半導体装置の製造方法。

【請求項25】

トランジスタを有する基板上に、開口部を有する絶縁膜を形成する工程と、
前記開口部に導電膜を充填する工程と、
前記絶縁膜上に酸化物からなる反応防止膜を形成する工程と、
前記導電膜上に拡散防止膜を形成する工程と、
前記拡散防止膜上に第1の電極を形成する工程と、
前記第1の電極上に鉛、バリウム、ビスマスの少なくとも一つの元素を含有する高強誘電体膜を形成する工程と、

前記高強誘電体膜上に、第2の電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項26】

前記拡散防止膜は、前記反応防止膜を前記絶縁膜及び前記導電膜上にかけて形成し、前記導電膜上の前記反応防止膜を除去し、前記除去した領域に前記拡散防止膜を埋め込んで形成することを特徴とする請求項25記載の半導体装置の製造方法。

【請求項27】

前記反応防止膜を形成する工程は、金属膜を形成する工程と、前記金属を酸化する工程であることを特徴とする請求項25記載の半導体装置の製造方法。

【請求項28】

前記反応防止膜を形成する工程は、酸素含有雰囲気での反応性スパッタリング法、CVD法、ソルゲル塗布法の何れかで形成する工程であることを特徴とする

請求項 25 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高強誘電体薄膜を用いた素子、特に、大規模集積回路（LSI）に好適な、分極反転型不揮発性メモリ、またはダイナミックランダムアクセスメモリの半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

高強誘電体物質には、数百から数千と極めて大きな比誘電率を持つものがある。従って、それらの高強誘電体の薄膜をキャパシタ絶縁膜に用いれば、大規模集積回路（LSI）に好適な小面積かつ、大容量のキャパシタが得られる。また、高強誘電体物質は自発分極をもち、外部電場によりその方向を反転させることができるので、この特性を用いて、不揮発性メモリが得られる。

【0003】

従来の高強誘電体を用いたメモリは、例えば、特開平 5-90606 号に記載されている。図 22 に示すように、層間絶縁膜 224 の上に順次下部 Pt 電極 225、高強誘電体薄膜 226、上部 Pt 電極 227、Ti 電極 228 を形成し、高強誘電体キャパシタを形成していた。なお、図中、221 は素子分離膜、222 はワード線、223 は不純物拡散層、229 はアルミニウム配線層を示す。しかし、この技術ではそれぞれの層を独立のマスクで加工する為、寸法精度、合わせ精度の問題がある。そこで、特開平 2-288368 号に記載されているような構造が提案されている。即ち、図 23 に示す通り、上部電極層 238、高強誘電体膜 237、下部電極層 236 を一括でドライエッチングする方法である。しかし、一括加工によってリーク電流が大きくなってしまう。そこで、特開平 3-256358 号に記載されているように、図 24 に示す通り、下部電極のみを加工し、高強誘電体膜、上部電極はセル毎には加工しないでメモリマットの外側などで大きなパターンとして加工し、合わせ余裕の不要な構造とする高集積メモリを実現する方法がある。

【0004】

一方、図25は特開平7-14993号に記載されている別の従来のメモリセル構造である。この構造も下部電極のみを微細に加工し、高強誘電体膜、上部電極はセル毎には加工しない構造であるが、層間絶縁膜とキャパシタ絶縁膜の間に密着層251が介在している点に特徴がある。密着層としては TiO_2 、 ZrO_2 、 Ta_2O_5 、 Si_3N_4 などが効果があると記載されている。

【0005】

また、別の従来のメモリセル構造として、特開平7-169854号に記載されているように、図26に示したとおり下部電極と拡散防止層を反応防止膜のなかに埋め込んでしまう構造が提案されている。この構造は、以下のようなプロセスによって得られる。まず、層間絶縁膜248、多結晶シリコン膜246を形成した後、チタン261を形成し、続いて拡散防止膜249，下部電極251を形成する。その後、高強誘電体膜252を形成する。この高強誘電体膜252堆積時に、Ti膜を酸化させ反応防止層の TiO_2 261を形成する。

【0006】

【発明が解決しようとする課題】

前記特開平3-256358号開示の方法において、キャパシタ絶縁膜にチタン酸ジルコン酸鉛(PZT)を用いた場合、発明者等の検討によれば、PZTと層間絶縁膜である酸化シリコン膜が直接接する部分で両者の反応が起きてしまうことがわかった。この反応は500℃程度の低温でも起こり、特に700℃以上の温度でPZTを形成すると、酸化シリコン層がPZTと完全に反応し、熔融状態を呈した。この現象は、PZTの主要構成元素である鉛に起因することが明らかになった。

【0007】

さらに、前記特開平7-14993号に記載されている方法では、発明者等の検討によると、密着層としての Si_3N_4 は酸化シリコン膜と同様にPZTと反応を起こしてしまうが、 TiO_2 、 ZrO_2 、 Ta_2O_5 を密着層に用いれば、この密着層がPZTと酸化シリコン膜の反応防止層としての役割を果たすため、上記のPZTと酸化シリコン膜の反応の問題は解決できることがわかった。しかし、こ

の構造では、高強誘電体膜 252 の形成時、下部電極の下におかれた拡散防止層 249 の側面が露出しているため、成膜中に加熱酸化雰囲気が必要とする CVD 法などで PZT 膜を形成すると、拡散防止層 249 が酸化されて膜剥がれなどの問題を生じることが明らかとなった。sol-gel 法、スパッタリング法、蒸着法などを用いた場合にも、結晶化の熱処理を行う際に拡散防止層 249 が酸化されて同様の問題を生じることがわかった。拡散防止層 249 には TiN、(Ti、Al)N や WN などの金属窒化物が広く用いられているが、金属窒化物が酸化されると窒素を放出するためそのうえに形成されている膜の剥がれが顕著になってしまうと考えられる。

【0008】

一方、特開平 7-169854 号記載の方法では、Ti が酸化される際に堆積膨張が起こるため高強誘電体膜の剥離が生じてしまう。

【0009】

本発明の目的は、高強誘電体膜と絶縁膜との反応を防ぎ、かつ膜剥離を防いだ、半導体装置及びその製造方法を達成することにある。

【0010】

【課題を解決するための手段】

上記目的は、高強誘電体膜と層間絶縁膜との間に反応防止膜を設け、拡散防止膜の側面と高強誘電体膜とが接触しておらず、下部電極の側壁と高強誘電体膜とが接した半導体装置とすることによって達成される。

【0011】

上記の構成とすることで、たとえば反応防止膜として TiO_2 を用いる場合には、膜厚が 2 nm 以上あれば、PZT 膜の結晶化に必要な 700℃ 程度の急速熱処理時にも、シリコン系層間絶縁膜とキャパシタ絶縁膜に含まれる鉛との反応を防止するのに効果的である。また、拡散防止膜のみを反応防止膜の中に埋め込んでいるので、下部電極の側壁をキャパシタとして利用することも可能となり、DRAM に応用する場合には特に有効である。

【0012】

また、上記目的は、拡散防止膜を層間絶縁膜中にプラグとして埋め込み、キャ

パシタ絶縁膜と層間絶縁膜の間に反応防止膜を介在させることによって達成される。この構造でも、プラグ上に下部電極を形成することとなるため、下部電極の側面から上面にかけて高強誘電体膜が設けられることとなり、下部電極の側壁をキャパシタとして利用することも可能となり、DRAMに应用する場合には特に有効である。

【0013】

また、上記目的は、層間絶縁膜上に反応防止として機能する反応防止膜を形成し、その後拡散防止膜、高強誘電体膜を形成することによって達成される。拡散防止膜や高強誘電体膜を形成する前に、予め反応防止膜を酸化物として形成しておくので、反応防止膜自体を金属膜の酸化により形成しても堆積膨張による剥離等の問題を引き起こさない。

【0014】

以上、キャパシタ絶縁膜としてPZTを用いた場合についてのべたが、同様の効果はPZT以外の鉛系高強誘電体や $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Sr}_2\text{Bi}_2\text{Ta}_5\text{O}_9$ などのBi系層状高強誘電体を用いた場合にも見られた。Bi系層状高強誘電体は一般にPb系高強誘電体と比べて結晶化温度が高くなる分、層間絶縁膜との相互拡散も大きくなるため、反応防止膜がより必要とされる。

【0015】

また、従来、鉛やビスマスを含むしない誘電体、例えばチタン酸ストロンチウムバリウム(BST)では、下部電極の下地である酸化シリコン膜との反応は顕著でなく大きな問題とならない考えられていた。しかし、発明者らの検討によると、PbやBiと比べると拡散係数が小さいが、BaやSrも下地 SiO_2 中へ拡散することがわかった。従って、BST系の膜を用いた場合でも、反応防止膜を設ける意義が大きいことがわかった。

【0016】

【発明の実施の形態】

(実施例1)

本発明の好適な1実施例を図1を用いて説明する。本発明によるコンデンサは、公知な方法で形成されたトランジスタを含む素子層上に、公知な方法で形成さ

れた拡散防止層 43 が反応防止層 44 の中に埋め込まれてある。この上に、下部電極を形成し、所望の形状に加工した後、鉛を含有する高強誘電体薄膜 71、上部電極 72 を形成した。

【0017】

この構造においては、高強誘電体薄膜 71 と上部電極 72 は各メモリセルに対応したパターンに分離されてはおらず、複数のメモリセルに渡って連続して存在する。この 2 層は、記憶装置の動作上必要な最小限の加工(例えばメモリセル領域とそれ以外の領域を分離する部分)にとどめることができ、加工精度への要求が大幅緩和される。

【0018】

また、拡散防止層 51 は、反応防止層 43 の中に埋め込まれてあり、高強誘電体薄膜 71 の結晶化熱処理時に酸化されることがない。

【0019】

図 2 から図 6 は、本発明を用いてメモリセルを製造する実施例である。まず、図 2 に示すように、スイッチ用トランジスタを従来の MOSFET 形成工程により形成する。p 型半導体基板 21 に n 型不純物拡散層(リン) 25、26 を形成し、素子間分離酸化膜 22、ゲート酸化膜 23、ワード線 24、絶縁膜 27 を形成する。続いて表面全体に公知の CVD 法を用いて厚さ 600 nm の SiO_2 28 を CVD 法により堆積させ、850℃でリフロー後 300 nm エッチバックすることでワード線による段差を緩和した。

【0020】

次に、ビット線が基板表面の n 型拡散層と接触する部分 25 を公知のホトリソグラフィ法とドライエッチング法を用いて開口する(図 3)。次に、ビット線 31 を形成する。ビット線の材料としては、金属のシリサイドと多結晶シリコンの積層膜を用いた。公知のホトリソグラフィ法とドライエッチング法を用いて加工し、ビット線を所望のパターンとする。次に、BPSG などのシリコン酸化膜系の絶縁膜 32 を堆積させ、平坦化する。この絶縁膜 32 は、基板表面を平坦化するのに十分な膜厚とする必要がある。本実施例では、絶縁膜 32 の膜厚を 600 nm とし、公知の化学機械研磨法により平坦化する方法を用いた。次に、層間

絶縁膜上に反応防止層 33 を形成した。反応防止層としては反応性スパッタリング法により TiO_2 膜を 50 nm 堆積する方法と、Ti 膜を堆積した後、酸素雰囲気中、750℃、30 分の熱処理により Ti を酸化する方法を試み、ともに良好な結果が得られた。

【0021】

次に、図 4 のように公知のホトリソグラフィ法とドライエッチング法を用いて蓄積容量部が基板と接触するメモリ部コンタクト孔 41 を開口する。絶縁膜 32 上とコンタクト孔内側に多結晶シリコン 42 を CVD 法により 350 nm デポした。次に、ドライエッチング法により多結晶シリコン 42 を膜厚分エッチバックして、コンタクト孔を埋めた。さらに、膜厚 50 nm 相当のオーバーエッチングを追加して、多結晶シリコンの表面が穴の中に落ち込んでいる構造とする。次に拡散防止層 51 としてスパッタリング法を用いて厚さ 100 nm の TiN を形成し、CMP 法により平坦化してコンタクト孔に TiN を埋め込む。これにより、図 5 の埋め込み拡散防止層が形成される。

【0022】

次にスパッタリング法により下地電極 61 として厚さ 100 nm の Pt 膜 61 を被着し（図 6）、引き続き、Pt 加工用マスクとして厚さ 100 nm のタングステン 62 を被着した。ホトレジスト 63 をマスクに SF_6 を用いたドライエッチング法によりタングステン 63 にパターンを転写する。ホトレジスト 63 を除去した後、タングステン 62 をマスクに用いたスパッタエッチング法により下部電極 61 をパターンニングする。

【0023】

タングステンマスクを除去した後、高強誘電体薄膜 71 を形成する（図 7）。本実施例では、反応性蒸着法により、厚さ約 100 nm のチタン酸ジルコン酸鉛（ $Pb(Zr_{0.5}Ti_{0.5})O_3$ ）薄膜形成した後、酸素雰囲気中で 650℃、30 秒の熱処理を行ない結晶化させた。高強誘電体薄膜の形成には反応性スパッタリング法、あるいは、CVD 法を用いてもよい。次に、スパッタリング法により上部電極として厚さ 50 nm の Pt 膜 72 を被着した。あとは層間絶縁膜と配線を施して図 1 のメモリセルを完成させる。

【0024】

(実施例 2)

図 8 は、本発明を DRAM に用いた場合の実施例を示すものである。本実施例ではキャパシタ下部電極を厚くし、その側壁を利用する事でキャパシタの静電容量を大きくしている。

【0025】

図 9 から図 11 を用いて、本発明を用いてメモリセルを製造する方法を説明する。図 5 に示したように埋め込み拡散防止層を形成するまでの製造工程は実施例 1 と同じである。

【0026】

図 9 のようにスパッタリング法により下地電極 91 を形成する。本実施例では、下地電極としては厚さ 400 nm の Ru 膜を用いた。SiO₂ をマスクに用いたドライエッチング法により下部電極 91 を加工し、SiO₂ マスクを除去して図 10 に示したような構造を得る。

【0027】

次に、図 11 に示したように MOCVD 法を用いて BST 膜 111 を 30 nm 堆積した。後は上部電極を形成し、配線を施して図 8 のメモリセルを完成させる。

【0028】

(実施例 3)

次に、キャパシタの下部電極に対して反応防止層を自己整合的に形成することにより、下部電極とコンタクトプラグの合わせ余裕が不要となり高集積化に適した微細なメモリセルが実現できる、本発明の実施例について図 15 から図 21 を用いて説明する。

【0029】

まず、図 15 に示すように、p 型半導体基板 21 上に素子間分離絶縁膜 22、ゲート酸化膜 23 を形成する。厚さ 60 nm の多結晶シリコン、厚さ 60 nm のタングステンシリサイドからなるビット線 24、厚さ 200 nm Si₃N₄ 層 151 を順次堆積し、公知のホトリソグラフィ法とドライエッチング法を用いて加工

し、ゲート電極となるワード線所望のパターンとする。ワード線をマスクにイオン打ち込みによりn型不純物拡散層（リン）25、26を形成する。厚さ80nmの Si_3N_4 層をCVD法により被着し、異方性ドライエッチング法により加工して、ワード線側壁の絶縁膜層152を形成する。

【0030】

次に、図16のように厚さ300nmの SiO_2 161を公知のCVD法を用いて堆積させた後、CMP法により平坦化する。次に、厚さ40nmの Si_3N_4 162を公知のCVD法を用いて堆積させる。

【0031】

公知のホトリソグラフィ法とドライエッチング法を用いてビット線が基板表面のn型拡散層と接触する部分25および、蓄積電極が基板表面のn型拡散層と接触する部分26と周辺回路へのコンタクト孔を開孔する（図17）。CVD法により厚さ100nmのTiNを堆積し、CMP法によりコンタクト孔にTiN181を埋め込む。次に、図18に示したように第一の配線層を形成する。材料としては、W/TiN/Tiの積層膜182を用いた。スパッタリング法によりW/TiN/Tiの積層膜を堆積し、この上に、厚さ50nmの SiO_2 183を堆積させた後、公知のホトリソグラフィ法とドライエッチング法を用いて加工し、第一の配線層を所望のパターンとする。第一の配線層はビット線および周辺回路の配線に用いられる。膜厚50nmの SiO_2 をCVD法により堆積し、ドライエッチング法によりエッチバックして、第一の配線層の側壁部に SiO_2 のサイドウォールスペーサ184を形成し、第一の配線層を絶縁する。

【0032】

次に、BPSGなどのシリコン酸化膜系の絶縁膜191を堆積させ、平坦化する。本実施例では、絶縁膜191の膜厚を250nmとし、CMP法により平坦化した。公知のホトリソグラフィ法とドライエッチング法を用いて蓄積容量部と拡散層を接続するためのメモリ部コンタクト孔を開孔する。同時に第一の配線層と第二の配線層をつなぐためのコンタクト孔も開孔する。CVD法により厚さ100nmのTiNを堆積し、CMP法によりコンタクト孔にTiN192を埋め込む。

【0033】

次に、図19に示すとおり、膜厚2nmのTi膜193と膜厚300nmのPt膜194を順次スパッタリング法により堆積し、引き続き、タングステン195を300nm堆積する。ホトレジストをマスクにSF₆を用いたドライエッチング法によりタングステン206にパターンを転写する。ホトレジストを除去した後、タングステンをマスクに用いたスパッタエッチング法により下部電極194を加工するより図20に示した構造を得る。スパッタエッチング時にArに酸素を添加することでPtとTiの間の選択性を十分に高くすることが出来る。エッチング後に酸素雰囲気中で700℃、5秒の急速熱処理することによりPt膜194の下にあるTi膜193はPtと合金を作り消失する。そして下部電極の周辺に露出している層間絶縁膜191の上にのみ自己整合的に反応防止膜211が形成される。

【0034】

次に、図21に示すとおり、厚さ20nmのチタン酸ストロンチウムバリウム211、厚さ20nmの二酸化ルテニウム212を順次、MOCVD法により堆積した。ホトレジストをマスクにメモリマット外のプレート電極の不要部分の二酸化ルテニウム、チタン酸ストロンチウムバリウムを除去した後、配線を行い、メモリセルを完成する。本実施例では下部電極材料としてPtを用いたが、RuやIrを用いてもよいことは言うまでもない。

【0035】

(実施例4)

図12にはメモリセルアレイ部とそれに隣接する周辺回路の各一部の要部断面が示されている。図13は本発明のメモリセルと周辺回路の各一部の平面図、図14は本発明のメモリセルと周辺回路の各一部を示す回路図である。図12は図13におけるX-X'断面図である。図12にはメモリセル選択用MISFET、 Q_t と図13、図14において Q_{shr} 、 Q_p 、 Q_n の符号を付した周辺回路のMISFETが示されている。 Q_{shr} はDRAMのメモリセル部と周辺回路部のセンスアンプとを分離するシェアードMISFETである。 Q_p はpチャンネルMISFET、 Q_n はnチャンネルMISFETであり、センスアンプ部は Q_p 、 Q_n

2個ずつからなるフリップフロップ回路になっている。

【0036】

図14に示した回路図を用いて、本発明のメモリをDRAMとして用いる場合の読み出し動作を説明する。キャパシタのプレート電極PL1の電位は、常に $V_{cc}/2$ に固定される。一方、キャパシタの蓄積ノードSN1には、揮発情報 V_{cc} または0が保持される。ビット線対BL1およびBL1Bの電位は、読み出し又は書き換え動作直前まで、 $V_{cc}/2$ に保持される。ビット線対には、記憶情報を検知、増幅するためのセンスアンプSAが接続されている。蓄積ノードSN1の蓄積電圧を検知するため、まず、プリチャージ制御線PCL1の電位を V_{cc} から0に下げ、ビット線を電位 $V_{cc}/2$ のフローティング状態とする。同時にシェアードMISFET Q_{shr} をオンにする。次に、ワード線WL1の電位を、0から V_{ch} に上げる。ここで、 V_{ch} は V_{cc} にくらべ少なくともトランジスタのしきい電圧だけ高い電位である。この結果、蓄積ノードの電位が V_{cc} であった場合には、ビット線BL1の電位がBL1Bの電位すなわち $V_{cc}/2$ よりやや高くなり、一方、0であった場合には、BL1の電位はBL1Bにくらべやや低くなる。この電位差をセンスアンプSA1で検知、増幅することにより、BL1の電位は蓄積ノードの電位に一致して V_{cc} または0となる。BL1Bの電位はBL1と反対の電位になる。なお、センスアンプを動作させるには、センスアンプpチャネルトランジスタ制御線CSP、センスアンプnチャネルトランジスタ制御線CSNをそれぞれ V_{cc} および0にすれば良い。以上の動作により、選択されたワード線WL1につながるすべてのメモリセルの情報が、それぞれに接続されたビット線に読み出される。このうち一つのメモリセルの情報を選択的にIO線を介して外部に読出すためには、センスアンプ選択線CSL1の電位を0から V_{ch} にし、所望のビット線をIO線に接続すれば良い。読み出し動作を終了するには、CSL1の電位を V_{ch} から0に戻した後、ワード線WL1を0に戻せば、蓄積ノードSN1は情報が再書き込みされた状態でビット線から電氣的に切り離される。PCL1を V_{cc} に、CSP、CSNをそれぞれ0および V_{cc} に戻せば、読み出し動作前の状態となり、動作が終了する。

【0037】

次に、本発明のメモリを高強誘電体不揮発性メモリとして用いる場合の読み出し、書き込み手順について特開平7-21784にもとづいて説明する。

【0038】

まず、読み出し動作であるが、これは上述のDRAMの場合と同じである。

【0039】

高強誘電体不揮発性メモリにおける情報の書き換えでは、蓄積ノードSN1の電位反転と共に、高強誘電体膜の分極反転を行う。書き換え動作において、信号線PCL1をVchから0に下げてからセンスアンプを動作させるまでは、読み出し動作と同様である。次に、IO線に準備した書き換え情報をメモリセルに書き込むため、信号線CLS1を0からVchに上げる。この結果、ビット線対BL1およびBL1Bの電位が反転する。ワード線WL1は活性化された状態にあるので、上記ビット線対電位反転にともなって、所望のメモリセルの蓄積ノード電位および高強誘電体膜の分極方向が反転する。このようにして、情報の書き換えをおこなった後、読み出し動作と同様な手順で書き換え動作を終了する。このような読み出し、書き込み手順よれば、揮発情報と不揮発情報とが常に一致して書き換えられるので、いつ電源をオフしても情報が消失しない。

【0040】

次に、高強誘電体不揮発性メモリにおける電源オン時の不揮発性情報から揮発性情報への変換動作を説明する。電源投入前には、すべての電位は0Vにある。電源オンにともなって、プレートPL1はVcc/2に、センスアンプの信号線CSP、CSNは0およびVccに初期化される。また、信号線PCLの電位は、0からVccに立ち上がり、その結果、ビット線対BL1、BL1Bの電位はVcc/2にプリチャージされる。この時、ワード線電位は0Vを保持し蓄積ノードSN1をフローティング状態として、プレート昇圧時に高強誘電体膜の分極方向が破壊されないようにする。プレートPL1およびビット線対BL1、BL1Bの電位が確実にVcc/2の電位に安定化したら、ワード線WLを順次活性化し、蓄積ノードSN1をプレートPL1と同じVcc/2の電位として、分極情報の保持をより安定化する。以上の初期化動作に引き続き、不揮発性情報から揮

発性情報への変換動作に移行する。まず、ワード線がすべて 0 V の状態で、PCL1 の電位を 0 V にし、ビット線をフローティング状態にする。次に、ビット線を 0 V にプリチャージし再びフローティング状態にする。その後、ワード線 WL1 を活性化すれば、蓄積ノード SN1 からビット線に電流が流れ、ビット線電位が上昇する。その上昇量は高強誘電体膜の分極方向に依存する。すなわち、ビット線電位上昇後もプレート電位の方が高いので、分極方向は 1 方向に揃う。上記ワード線活性化により分極の反転を伴う場合の方が、反転を伴わない場合に比べて、実効的な高強誘電体キャパシタ容量が大きく、その結果、ビット線電位上昇量も大きい。この 2 つの分極状態に対応するビット線電位上昇量の中間値を相補ビット線 BL1B に発生するダミーセルを設け、ビット線対 BL1・BL1B の電位差をセンスアンプ SA1 により検知、増幅する。センスアンプの働きによりビット線電位が Vcc 又は 0 に充電される結果、蓄積ノード SN1 には揮発性情報が書き込まれる。最後にワード線を非活性にした後、ビット線電位を $V_{cc}/2$ に戻して一連の動作を終了する。上記動作を各ワード線について順次行えば、不揮発性情報から揮発性情報への変換動作が完了する。この手順によれば、情報読み出し動作に伴う高強誘電体膜の分極の反転を、電源投入時だけにすることができ、高強誘電体膜の劣化を少なくできる。また、通常使用時に、分極反転に要する時間に起因した読み出し速度の低下もない。しかも、電源をオフした時点での情報を記憶しており、次に電源をオンしたときにそれらの情報を復活させることができる。

【0041】

以上の実施例では、高強誘電体材料として、鉛を含む誘電体を用いて説明したが、高強誘電体膜形成温度において酸化シリコンとの反応が起こる材料の場合には、本発明の適用が有効なことはいうまでもない。とりわけビスマスを含有する材料の場合、鉛同様に激しい反応が起きるために、特に有用である。すなわち、本発明の好ましい適用誘電体材料は、鉛、ビスマスから選ばれた元素を含有する酸化物高強誘電体材料である。上記例であげた PZT の他にこれに該当する材料としては、チタン酸鉛 ($PbTiO_3$)、チタン酸ジルコニウム酸バリウム鉛 ((Ba, Pb)(Zr, Ti)O₃)、ニオブ酸バリウム鉛 ((Ba, Pb)Nb₂O₆)、タ

ンタル酸ストロンチウムビスマス($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、チタン酸ビスマス($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)、チタン酸ジルコニウム酸バリウムストロンチウム (Ba 、 Sr) (Zr 、 Ti) O_3 である。これらを基本構造として持つ誘電体について、すべて本発明は適用できる。すなわち、 $(\text{A}_1\text{A}_2 \dots)(\text{B}_1\text{B}_2 \dots)\text{O}_x$ ($\text{A}_1 = \text{Pb}$ 、 Bi ; $\text{A}_2 = \text{Ca}$ 、 Sr 、 Cd 、 Ba 、 La 、 Tl 、 Na 、 K ; B_1 、 $\text{B}_2 \dots = \text{Ta}$ 、 Ti 、 Zr 、 Hf 、 Fe 、 Nb 、 Sn 、 U 、 Al 、 Mn 、 W 、 Yb 、 Sc 、 U 、 In 、 Sb 、 Co 、 Zn 、 Li 、 Mo 、 Ni 、 Co)の形で記述される酸化物であればよい。また、これを主成分とする材料に他の元素を混合した場合も本発明に包含される。

【0042】

反応防止層としては、上記実施例では二酸化チタン膜を用いたが、上記 B_1 、 B_2 として挙げた元素、即ち、 Ta 、 Ti 、 Zr 、 Hf 、 Fe 、 Nb 、 Sn 、 U 、 Al 、 Mn 、 W 、 Yb 、 Sc 、 U 、 In 、 Sb 、 Co 、 Zn 、 Li 、 Mo 、 Ni 、 Co から選ばれた元素の酸化物を主成分とする膜が有効である。特に、酸化チタン、アルミナ、または、ビスマスシリケートが効果的である。

【0043】

電極材料は、上記実施例では白金を用いたが、 Ru 、 Ir 、 Pd 、 Ni 、 Pt から選ばれた金属を主成分とする金属および合金、または、 V 、 Cr 、 Fe 、 Ru 、 In 、 Sn 、 Re 、 Ir 、 Pb 、 Cu 、 Pd から選ばれた元素の酸化物を主成分とする酸化物でも実施可能である。

【0044】

また、拡散防止用導電層に Ti 、 Ta 、 TiN 、 $\text{Al}_x\text{Ti}_{1-x}\text{N}$ 、 WN の内から選択した一材料、または、複数材料を積層して用いてもよい。

【0045】

反応防止層形成プロセスとしては、実施例中では、スパッタ法と金属薄膜の熱酸化を示したが、酸素含有雰囲気での反応性スパッタリングの他、 CVD 法、ゾルゲル塗布法による薄膜も適用可能である。

【0046】

【発明の効果】

本発明により、鉛を含む誘電体をキャパシタ絶縁膜として用いても、層間絶縁膜や拡散防止層と反応を抑制できるので、高集積の半導体記憶装置が実現できる。

【図面の簡単な説明】

【図1】

本発明の実施例1の半導体装置の断面図である。

【図2】

本発明を用いたメモリセルの製造工程を示す第1の断面図である。

【図3】

本発明の実施例1の工程を示す第2の断面図である。

【図4】

本発明の実施例1の工程を示す第3の断面図である。

【図5】

本発明の実施例1の工程を示す第4の断面図である。

【図6】

本発明の実施例1の工程を示す第5の断面図である。

【図7】

本発明の実施例1の工程を示す第6の断面図である。

【図8】

本発明の実施例2の半導体装置の断面図である。

【図9】

本発明を用いた実施例2のメモリセルの製造工程を示す第1の断面図である。

【図10】

本発明の実施例2の工程を示す第2の断面図である。

【図11】

本発明の実施例2の工程を示す第3の断面図である。

【図 12】

本発明のメモリセルアレイ部とそれに隣接する周辺回路の各一部の要部断面である。

【図 13】

本発明のメモリセルと周辺回路の各一部の平面図である。

【図 14】

本発明のメモリセルと周辺回路の各一部を示す回路図である。

【図 15】

本発明を用いた実施例 3 のメモリセルの製造工程を示す第 1 の断面図である。

【図 16】

本発明を用いた実施例 3 のメモリセルの製造工程を示す第 2 の断面図である。

【図 17】

本発明を用いた実施例 3 のメモリセルの製造工程を示す第 3 の断面図である。

【図 18】

本発明を用いた実施例 3 のメモリセルの製造工程を示す第 4 の断面図である。

【図 19】

本発明を用いた実施例 3 のメモリセルの製造工程を示す第 5 の断面図である。

【図 20】

本発明を用いた実施例 3 のメモリセルの製造工程を示す第 6 の断面図である。

【図 21】

本発明の実施例 3 の半導体装置の断面図である。

【図 22】

従来技術による半導体装置の断面図である。

【図 23】

従来技術による半導体装置の断面図である。

【図 24】

従来技術による半導体装置の断面図である。

【図 25】

従来技術による半導体装置の断面図である。

【図 26】

従来技術による半導体装置の断面図である。

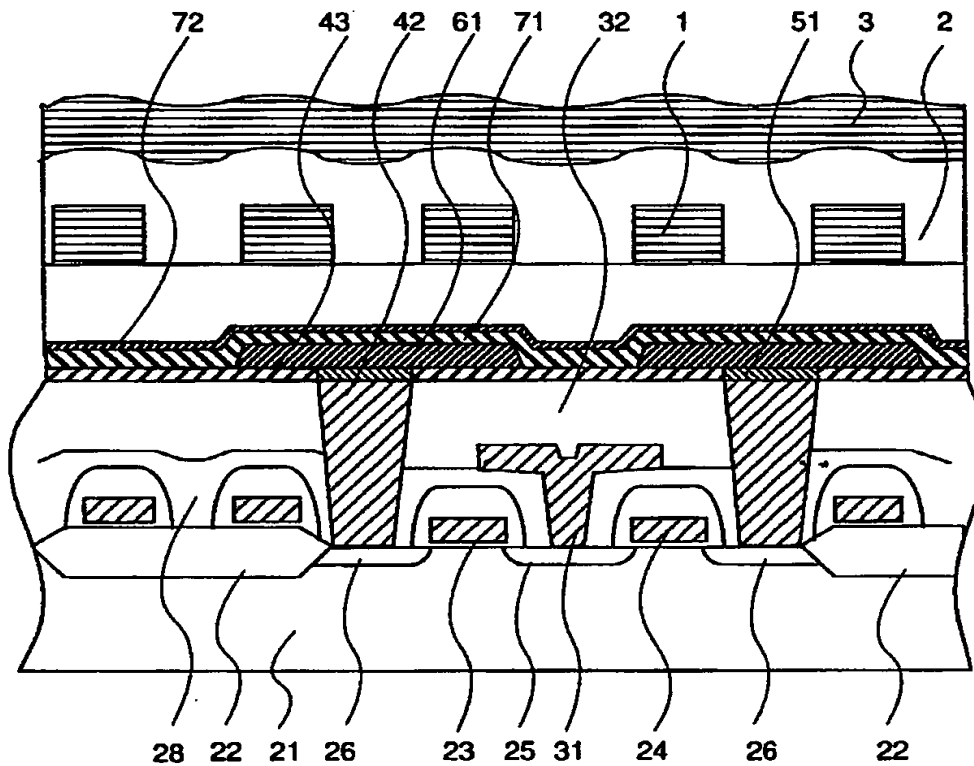
【符号の説明】

1、3…配線層、2…層間絶縁膜、21…半導体基板、22…素子間分離酸化膜、23…ゲート酸化膜、24…ワード線、25…不純物拡散層（ビット線が基板表面のn型拡散層と接触する部分）、26…不純物拡散層（蓄積電極が基板表面のn型拡散層と接触する部分）、27、28…層間絶縁膜、31…ビット線、32…層間絶縁膜、41…メモリ部コンタクト孔、42…多結晶シリコン、43…反応防止層、51…拡散防止層、61…下部電極、62…マスク用タングステン、63…ホトレジスト、71…高強誘電体薄膜、72…上部電極、91…下部電極（Ru）、111…上部電極、151、152… Si_3N_4 、161…層間絶縁膜、162… Si_3N_4 、181…コンタクトプラグ（TiN）、182…第1の配線層、183…層間絶縁膜（ SiO_2 ）、184…層間絶縁膜（ SiO_2 ）、191…層間絶縁膜（BPSG）、192…コンタクトプラグ（TiN）、193…Ti膜、194…下部電極、195…マスク用タングステン、201…反応防止層、211…高強誘電体薄膜、212…上部電極、221…素子間分離酸化膜、222…ワード線、223…不純物拡散層、224…層間絶縁膜、225…下部電極、226…高強誘電体薄膜、227…上部電極、228…上部Ti電極、229…アルミ配線層、231…半導体基板、232…素子間分離酸化膜、233…不純物拡散層、234…ワード線、235…層間絶縁膜、236…下部電極、237…高強誘電体薄膜、238…上部電極、239…ホトレジスト、241…半導体基板、242…素子間分離酸化膜、243…ゲート絶縁膜、244…ワード線、245…ビット線、246…多結晶シリコンプラグ、247、248…層間絶縁膜、249…拡散防止層、251…下部電極、252…高強誘電体薄膜、253…上部電極、254…密着層、261…反応防止層。

【書類名】 図面

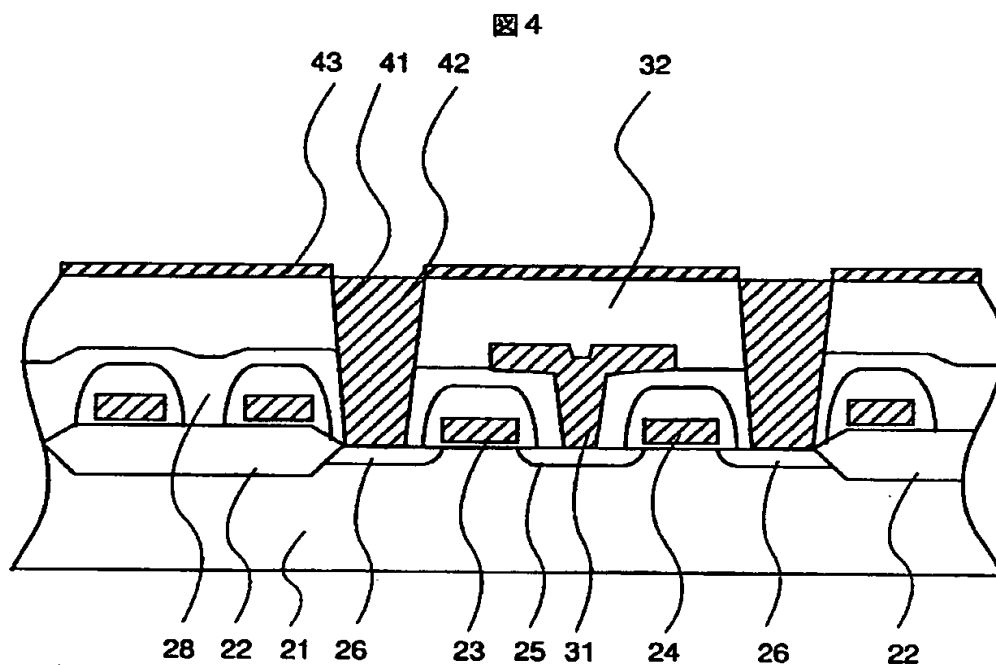
【図 1】

図 1



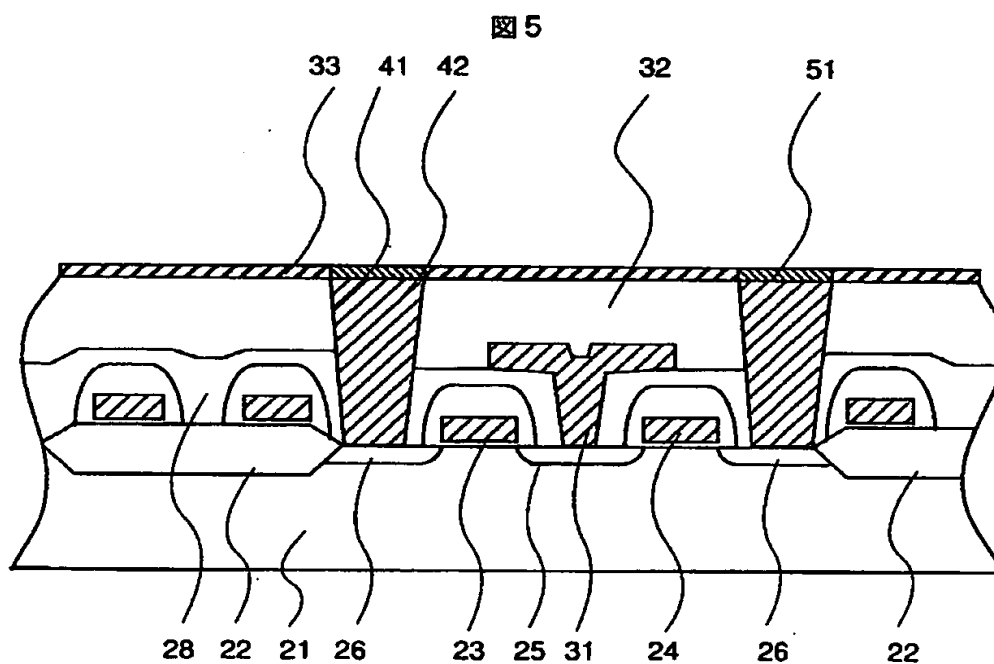
- 1, 3…配線層, 2…層間絶縁膜
 21…半導体基板, 22…素子間分離酸化膜, 23…ゲート酸化膜,
 24…ワード線,
 25…不純物拡散層 (ビット線が基板表面のn型拡散層と接触する部分),
 26…不純物拡散層 (蓄積電極が基板表面のn型拡散層と接触する部分),
 27, 28…層間絶縁膜, 31…ビット線, 32…層間絶縁膜,
 41…メモリ部コンタクト孔, 42…多結晶シリコン,
 43…反応防止層, 51…拡散防止用導電層
 61…下部電極, 71…強誘電体薄膜, 72…上部電極

【図 4】



41…メモリ部コンタクト孔、42…多結晶シリコン、43…反応防止層

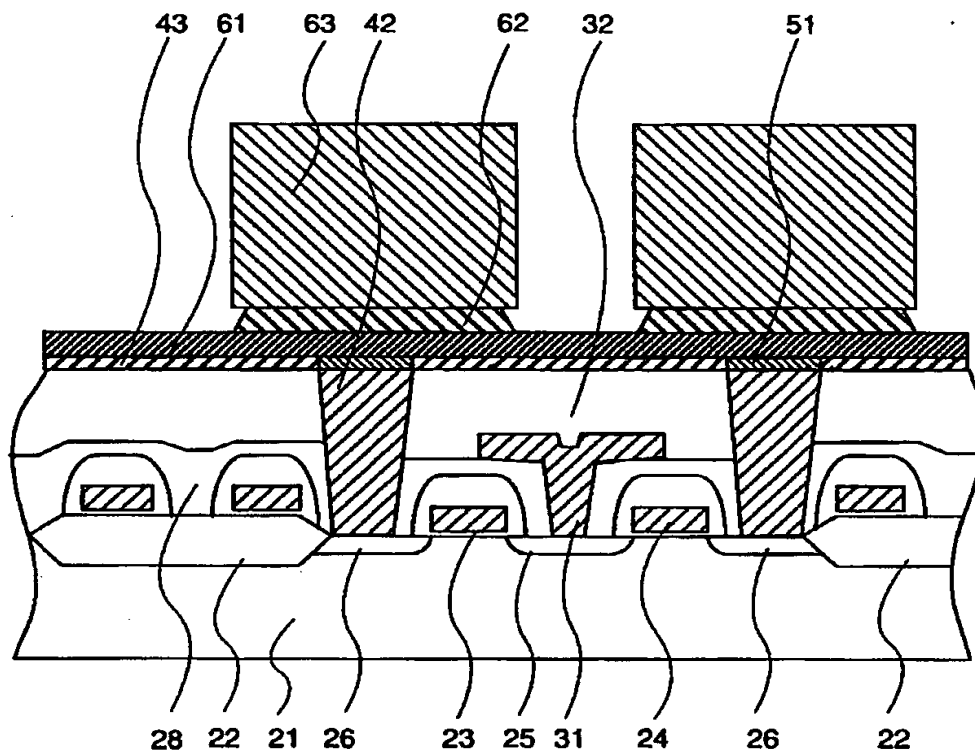
【図 5】



51…拡散防止用導電層

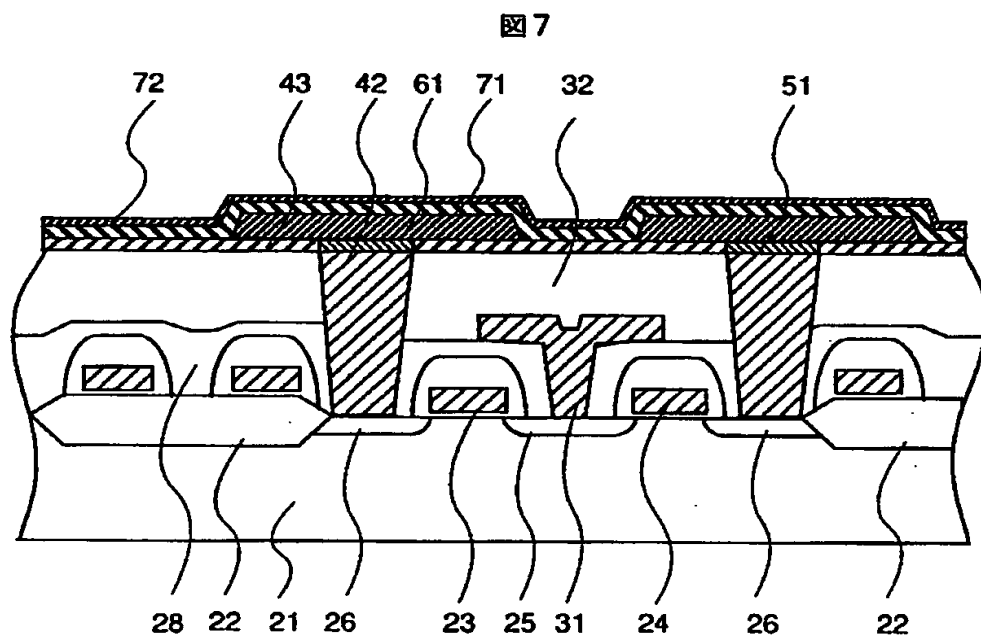
【図 6】

図 6



61…下部電極、62…タングステン63…ホトレジスト

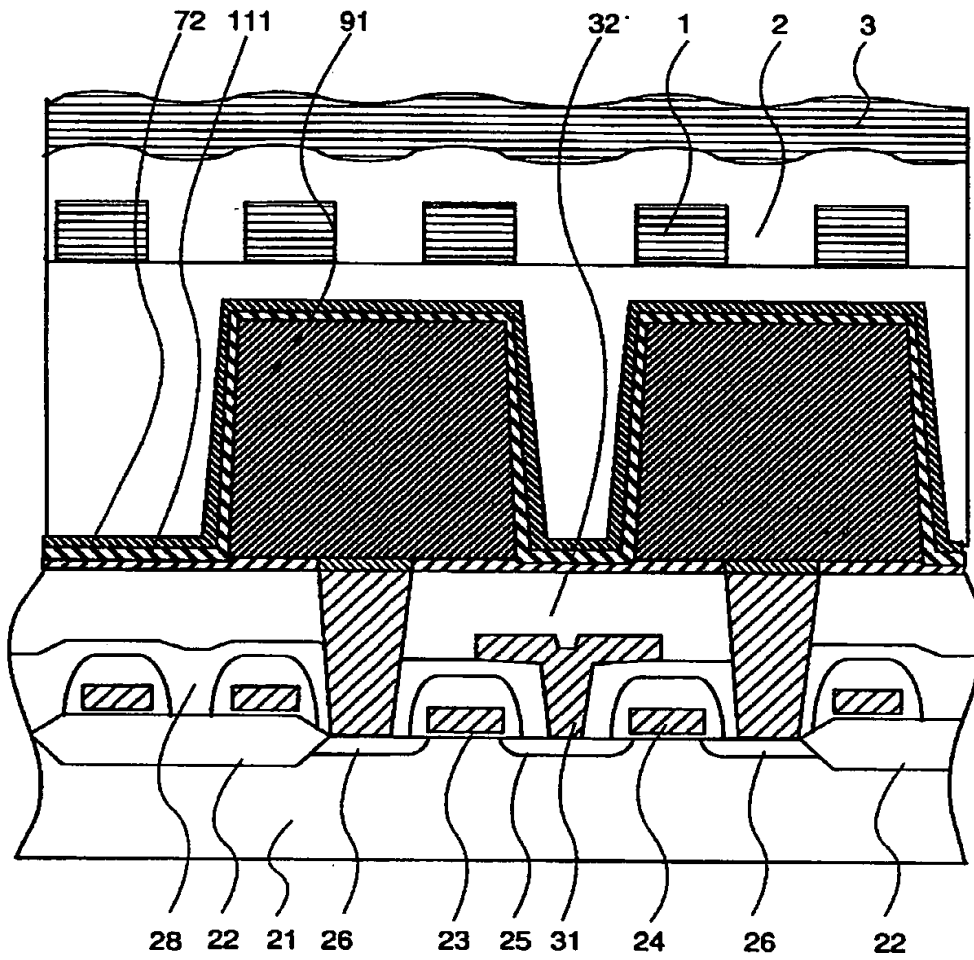
【図 7】



71…高強度電体膜, 72…上部電極

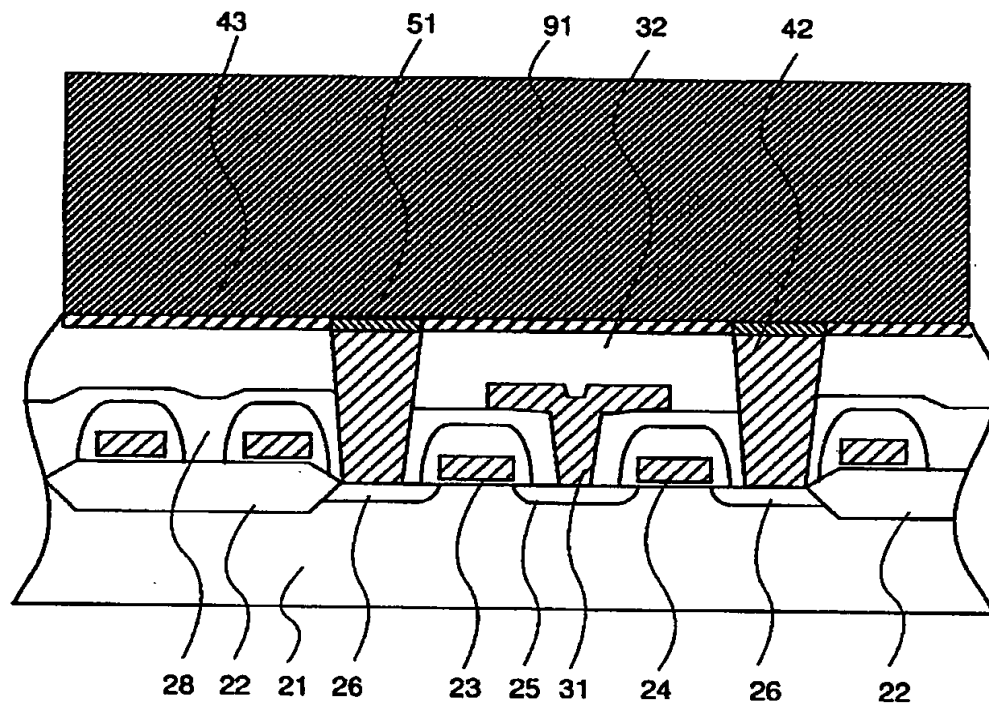
【図 8】

図 8

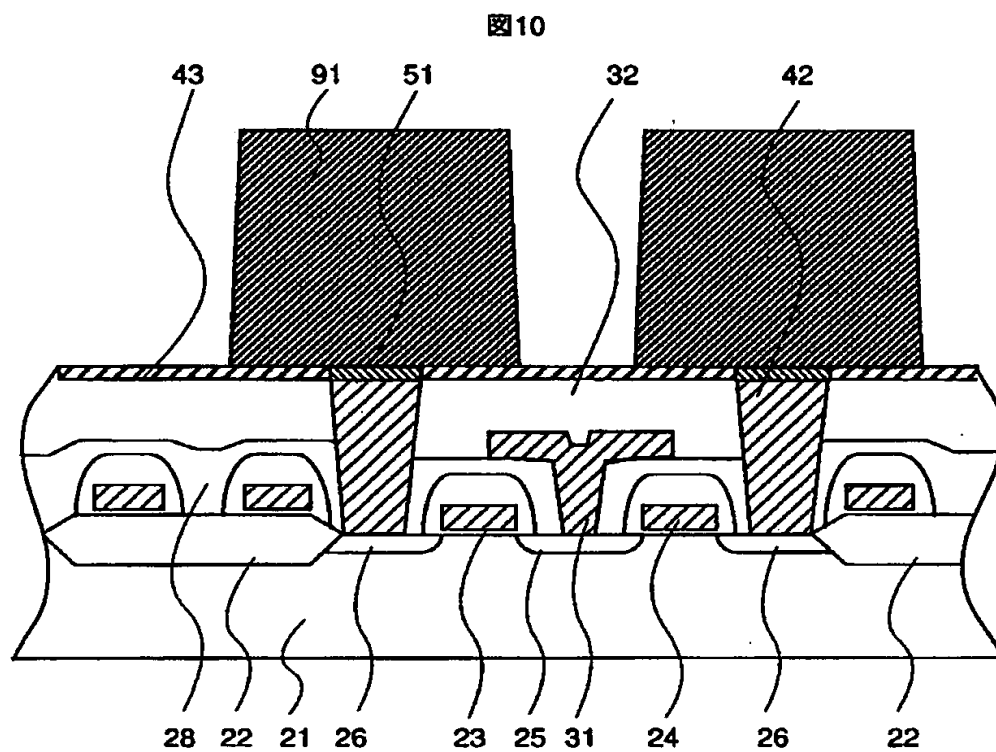


【図9】

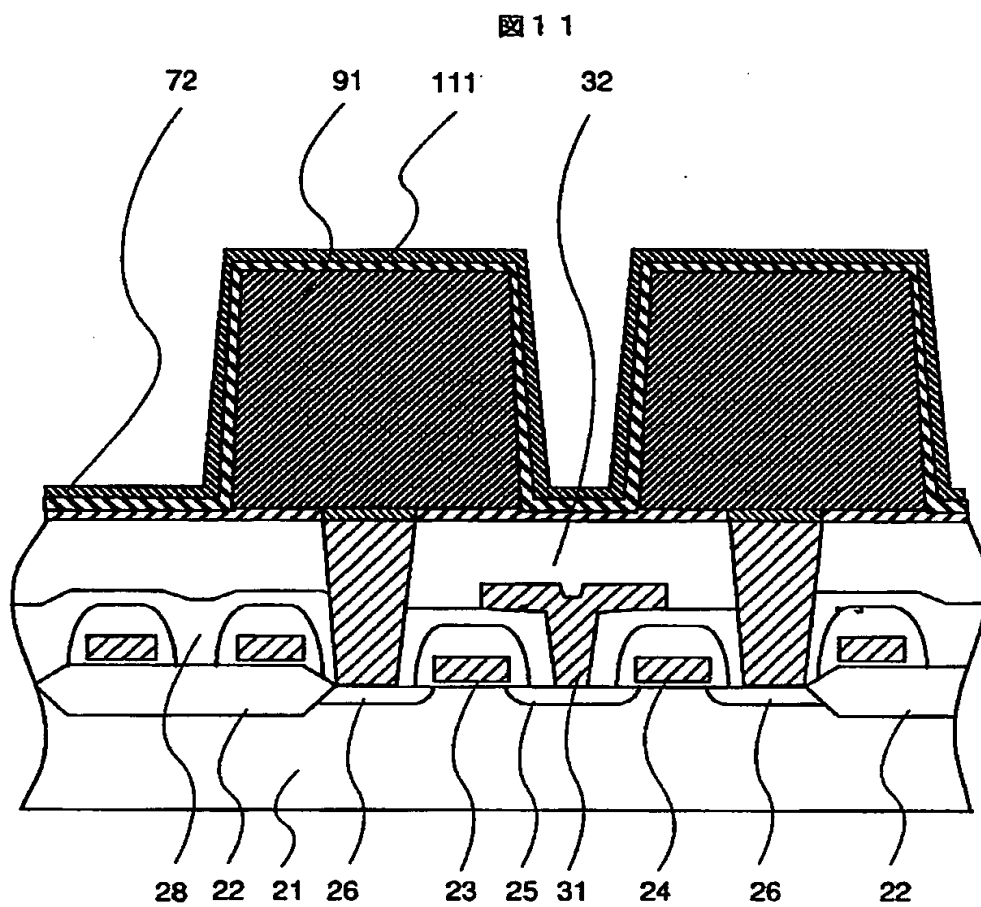
図9



【図10】

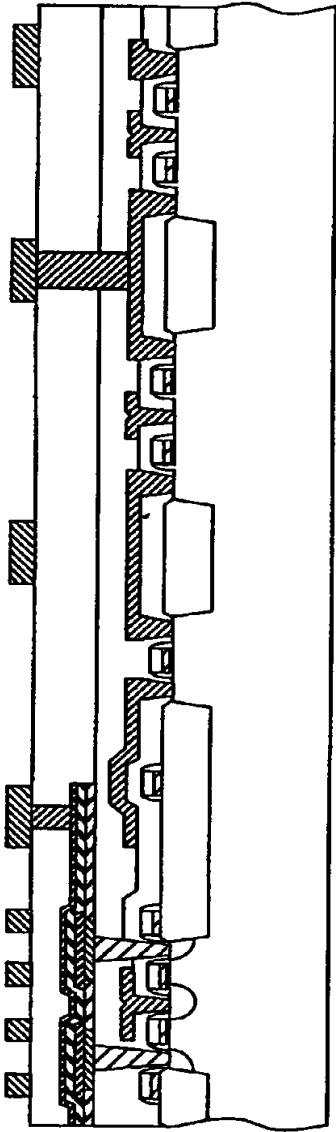


【図 11】



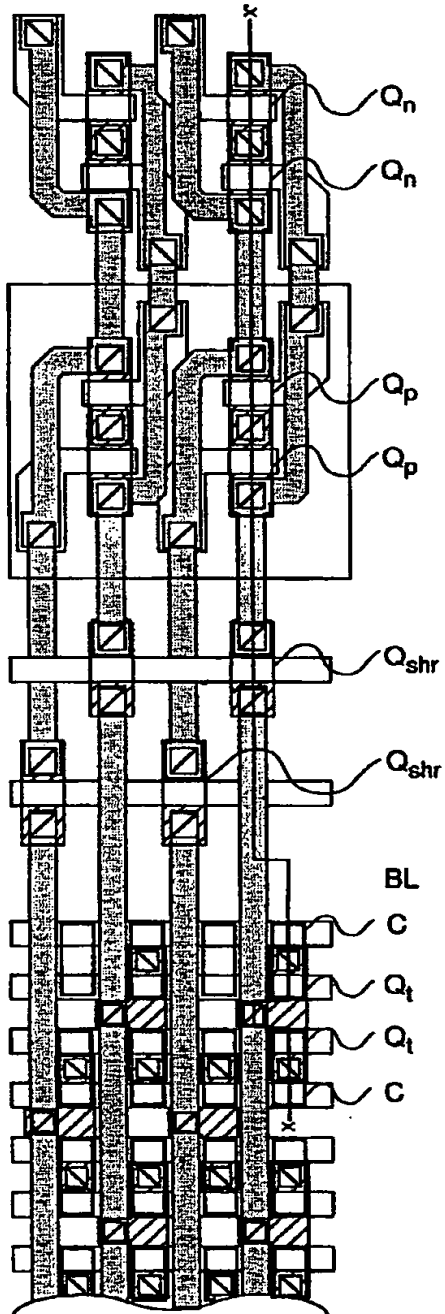
【图 12】

图 12



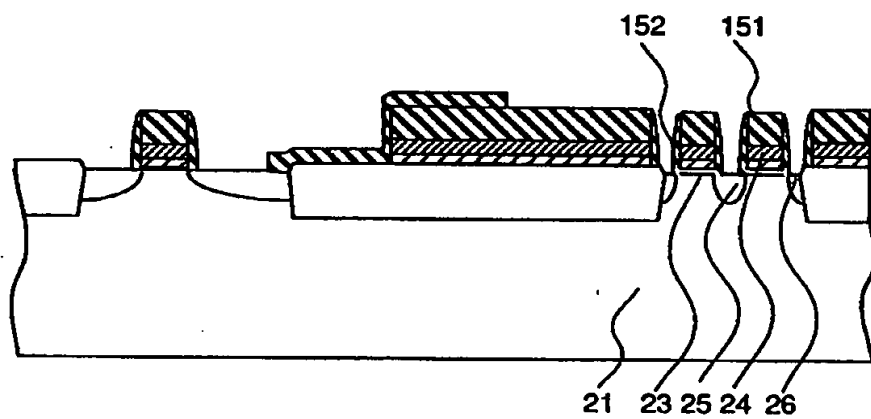
【図 13】

図 13



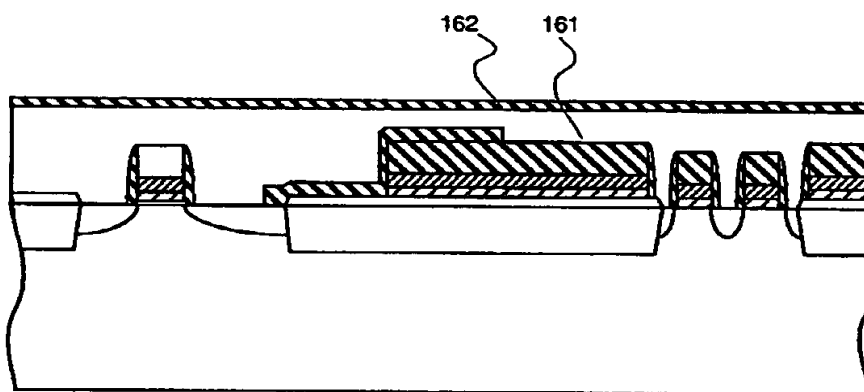
【図 15】

図 15



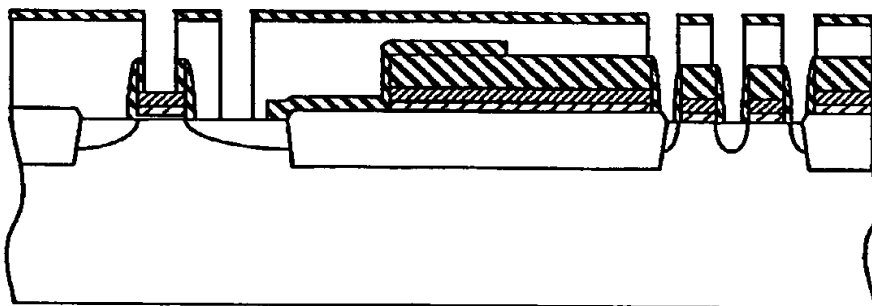
【図 16】

図 16



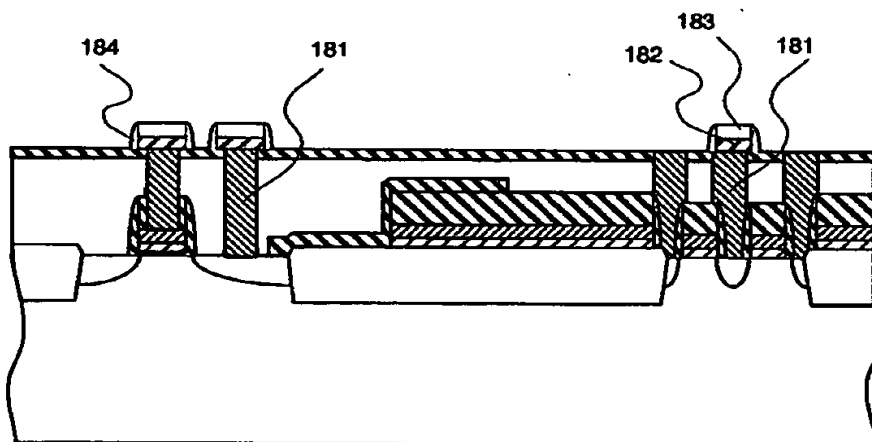
【図 17】

図 17



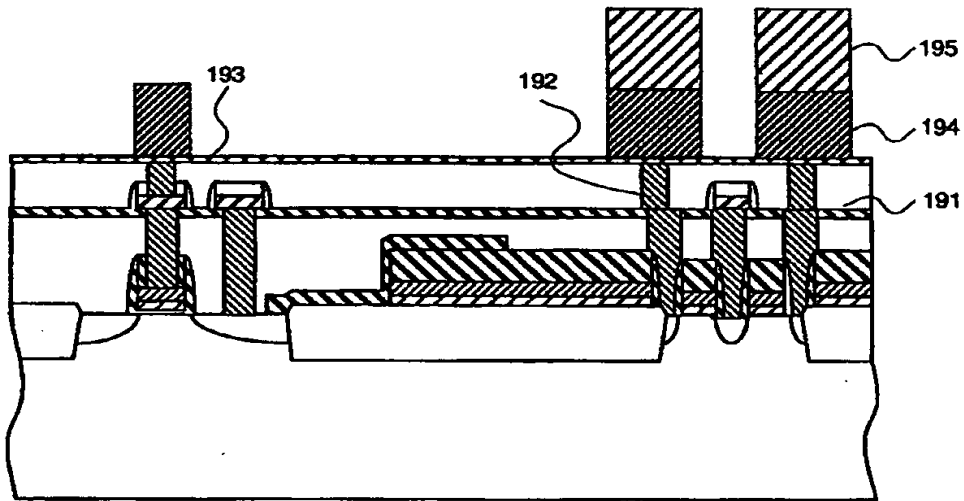
【図 18】

図 18



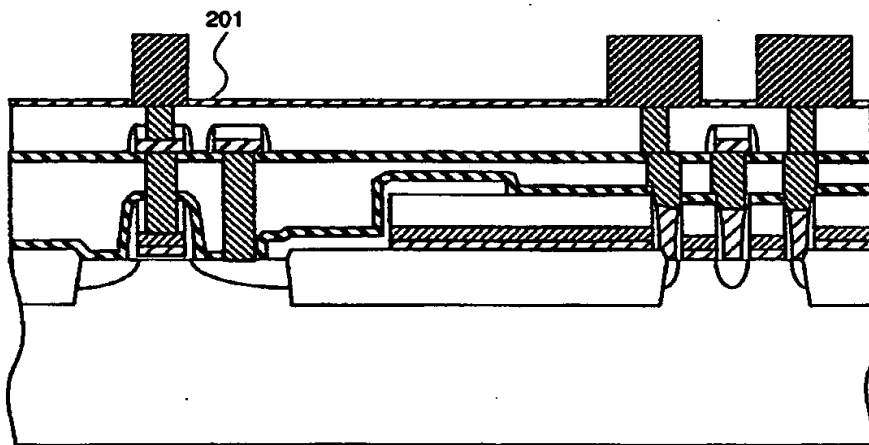
【図 19】

図 19



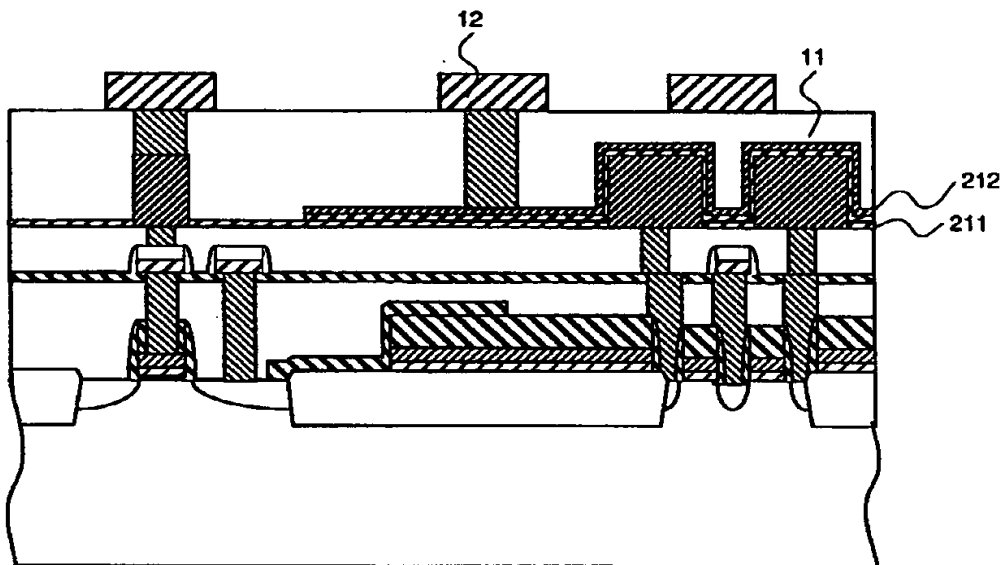
【図 20】

図 20



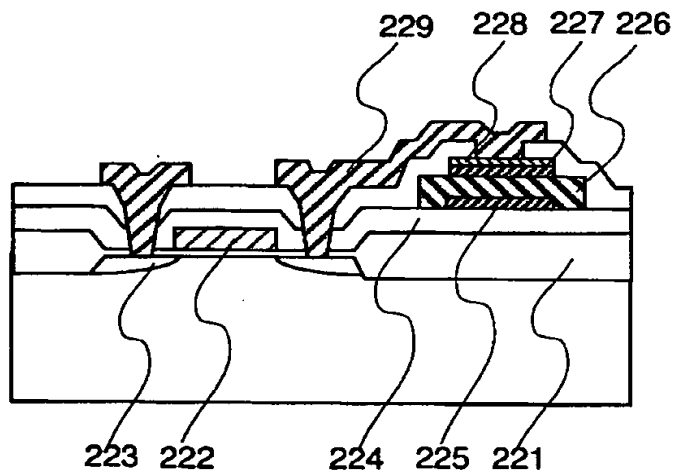
【図 2 1】

図 2 1



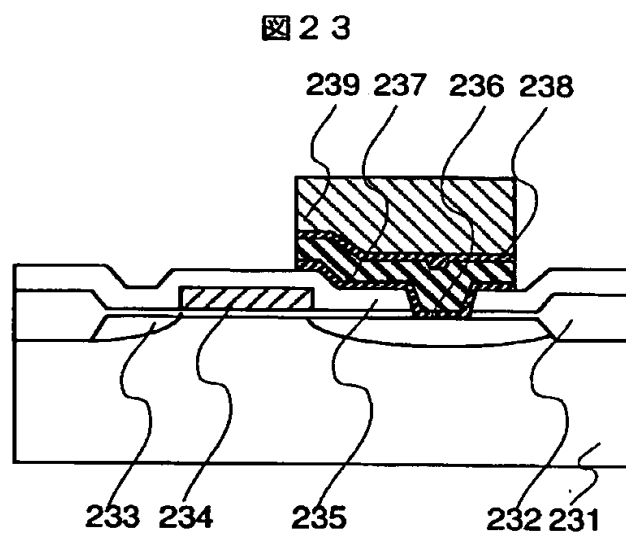
【図 2 2】

図 2 2



221…素子間分離酸化膜, 222…ワード線, 223…不純物拡散層,
224…層間絶縁膜, 225…下部Pt電極, 226…強誘電体薄膜,
227…上部Pt電極, 228…上部Ti電極, 229…アルミ配線層

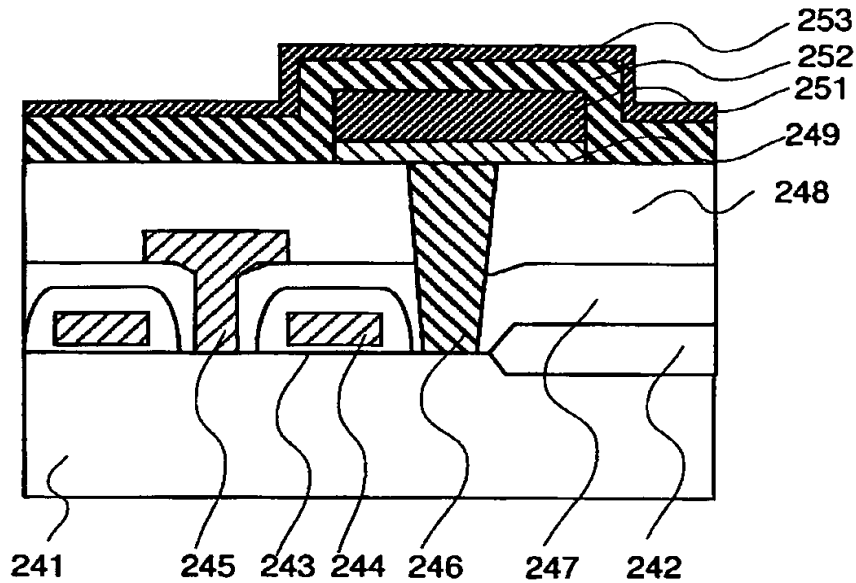
【図 23】



231…シリコン基板，232…素子間分離酸化膜，233…不純物拡散層，234…ワード線，
 235…層間絶縁膜，236…下部Pt電極，
 237…強誘電体薄膜，238…上部Pt電極，239…ホトレジスト

【図 24】

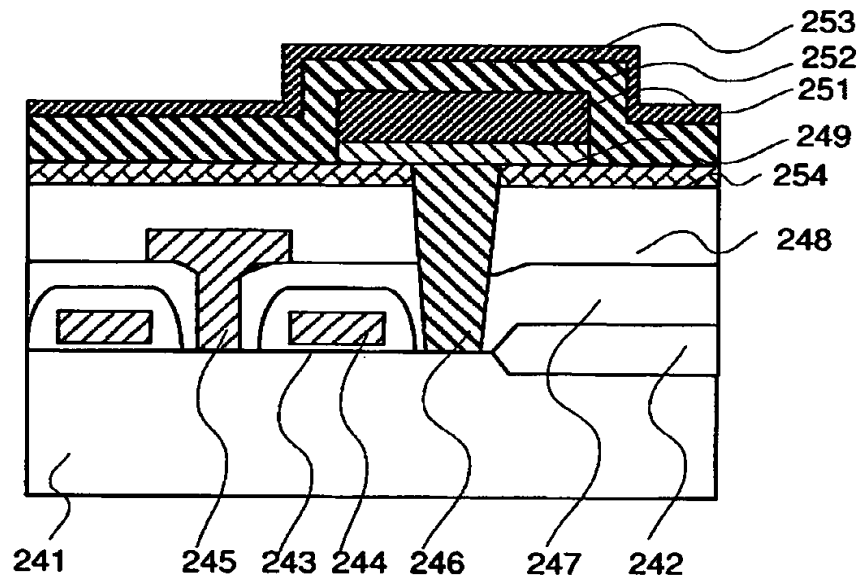
図 24



241…シリコン基板，242…素子間分離酸化膜，243…ゲート絶縁膜，
244…ワード線，245…ビット線，246…多結晶シリコンプラグ，
247，248…層間絶縁膜，249…拡散防止層，
251…下部Pt電極，252…強誘電体薄膜，253…上部Pt電極，

【図 25】

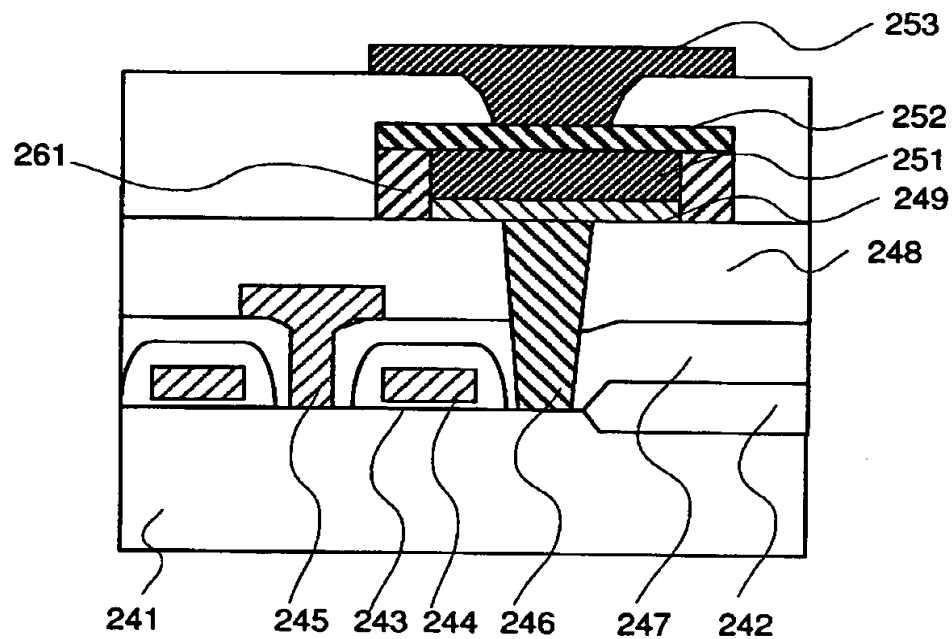
図 25



254…密着層

【図 26】

図 26



261...反応防止層 (TiO₂)

【書類名】 要約書

【要約】

【課題】 層間絶縁膜と高強誘電体膜との反応を防ぎ、高集積化に好適な微細なメモリセル構造を提供する。

【解決手段】 高強誘電体膜 71 と層間絶縁膜 32 との間に反応防止膜 43 を介在させ、かつ、拡散防止膜 51 の側壁が高強誘電体膜 71 と直接接していない構造とする。

【効果】 層間絶縁膜 32 と高強誘電体膜 71 の反応を抑制し、かつ、高強誘電体膜 71 の剥離を防止することができる。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005108
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】 株式会社日立製作所
【代理人】 申請人
【識別番号】 100068504
【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製
作所 知的所有権本部内
【氏名又は名称】 小川 勝男

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所